

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-263352

(43)Date of publication of application : 22.11.1991

(51)Int.Cl.

H01L 21/76

(21)Application number : 02-063642

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.03.1990

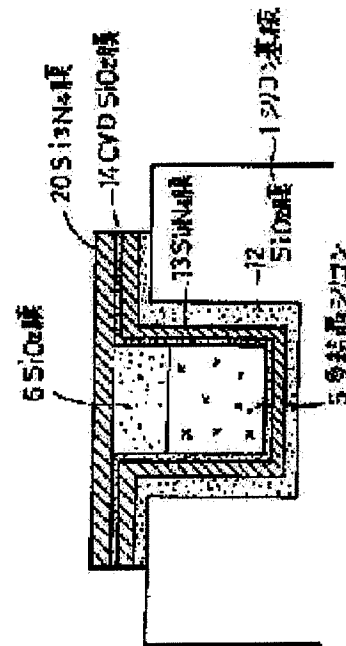
(72)Inventor : MAKINO TAKAMI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To eliminate a step on an U groove isolation stripe by covering the side and bottom of the stripe for isolating a semiconductor element with insulating films, burying the interior with a burying material, and covering the surface of the stripe with an antioxidative film.

**CONSTITUTION:** A silicon substrate 1, a polycrystalline silicon (burying material) 5, an SiO<sub>2</sub> film 6, an SiO<sub>2</sub> film 12, an Si<sub>3</sub>N<sub>4</sub> film 13, an SiO<sub>2</sub> film 14, and an Si<sub>3</sub>N<sub>4</sub> film 20 (antioxidative film) are formed. If the film 20 remains on a U groove isolation stripe, a step formed due to etching of the film 6 of the stripe at the time of cleaning step contained in the following process is eliminated. That is, the surface is covered with the film 20 at the time of forming the stripe, and the film 20 remains as it is. Then, an anxiety of wire disconnection, or shortcircuit on the stripe is eliminated to improve the yield of a semiconductor device and to enhance quality and reliability.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-263352

⑫ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月22日

H 01 L 21/76

L

7638-5F

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平2-63642

⑯ 出 願 平2(1990)3月13日

⑰ 発 明 者 牧 野 孝 実 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(i) 半導体素子を分離するU溝分離帯の側面および底面が絶縁膜で被覆され、内部が埋没体で埋没されて、且つ、該U溝分離帯の表面に耐酸化性膜で被覆されてなることを特徴とする半導体装置。

(ii) シリコン基板を選択的にエッチングしてU溝を形成し、該U溝の側面および底面に酸化シリコン膜を生成し、更に、該酸化シリコン膜上に耐酸化性膜を被覆する工程と、

次いで、前記耐酸化性膜の表面に酸化シリコン膜を被覆し、更に、埋没体を埋没させる工程と、

次いで、前記埋没させたU溝分離帯上に耐酸化性膜を被覆する工程とが含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

U溝分離帯の構造とその形成方法に関し、

U溝分離帯面の酸化を解消させることを目的とし、

構造は、半導体素子を分離するU溝分離帯の側面および底面が絶縁膜で被覆され、内部が埋没体で埋没されて、且つ、該U溝分離帯の表面に耐酸化性膜で被覆されてなることを特徴とし、

製造方法は、シリコン基板を選択的にエッチングしてU溝を形成し、該U溝の側面および底面に酸化シリコン膜を生成し、更に、該酸化シリコン膜上に耐酸化性膜を被覆する工程と、次いで、前記耐酸化性膜の表面に酸化シリコン膜を被覆し、更に、埋没体を埋没させる工程と、次いで、前記埋没させたU溝分離帯上に耐酸化性膜を被覆する工程が含まれることを特徴とする。

〔産業上の利用分野〕

本発明は半導体装置とその製造方法に係り、特

にU溝分離（トレンチ分離）帯の構造とその形成方法に関する。

ICなどの半導体装置の製造方法においては、それを高集積化する目的で縦形のU溝素子分離帯が設けられているが、このようなU溝は半導体デバイスの特性に悪影響を与えないように形成する必要がある。

#### 【従来の技術】

第4図は従来のU溝分離帯の断面図を示しており、図中の記号1はシリコン基板、2は酸化シリコン（ $\text{SiO}_2$ ）膜、3は窒化シリコン（ $\text{Si}_3\text{N}_4$ ）膜、4は多結晶シリコン、5は $\text{SiO}_2$ 膜である。

その形成方法の概要は、シリコン基板1のU溝分離帯形成領域のみ選択的に露出させ、リアクティブイオンエッチング（RIE）法によつてエッチングしてU溝を形成し、U溝の内面を熱酸化して内部表面に $\text{SiO}_2$ 膜2を生成した後、U溝内部の $\text{SiO}_2$ 膜2上に化学気相成長（CVD）法によ

つて $\text{Si}_3\text{N}_4$ 膜3を成長させる。次いで、同じくCVD法によつて溝内部に多結晶シリコン5を埋没させ、更に、その多結晶シリコン膜5の表面を熱酸化して $\text{SiO}_2$ 膜6を生成して完成させている。

このような素子分離帯をトレンチ（Trench）分離帯と云い、初期にはV溝分離帯であつたが、近年、ドライエッチング法の発達と共に、又、高集積化の要請によつて、このようなU溝分離帯が採用されており、別名をIOP法（Isolation with Oxide and Polysilicon法）とも呼ばれている。

且つ、U溝の内面に $\text{SiO}_2$ 膜2を生成する理由は、エッチングしたままではエッチング欠陥などが存在するから界面が不安定になるため、熱酸化して $\text{SiO}_2$ 膜を生成して、これを除去するものである。また、 $\text{Si}_3\text{N}_4$ 膜3を被着する理由は、この $\text{Si}_3\text{N}_4$ 膜3はU溝分離帯だけでなく、基板上の全面に被着するから、U溝に多結晶シリコン5を埋没させて、その表面を熱酸化して $\text{SiO}_2$ 膜6を生成する際、基板面を酸化から防止するため、しかも、このような $\text{Si}_3\text{N}_4$ 膜3の存在は $\text{Si}$

- 3 -

O<sub>2</sub>膜6の生成による膨張のストレスを抑える効果があるからである。

なお、多結晶シリコンを埋没させる代わりに、酸化シリコンを埋没させる方法も考えられるが、酸化シリコンは多結晶シリコンに比べて溝内部への被覆性が悪く、溝内部に空隙を発生し易いため、専ら上記の多結晶シリコン5を埋没させる方法が用いられている。

#### 【発明が解決しようとする課題】

ところで、上記のように多結晶シリコン5を埋没させて、その表面に $\text{SiO}_2$ 膜6を生成させたU溝分離帯の構造は段差が生じ易い欠点がある。

例えば、U溝分離帯を形成した後、MOS素子形成するとすると、シリコン基板を弗酸（HF）液でエッチングするクレーニング処理がおこなわれて、その後、清浄な $\text{SiO}_2$ 膜からなるゲート絶縁膜が生成されている。そのクレーニング処理時にU溝分離帯表面の $\text{SiO}_2$ 膜6がエッチングされてU溝分離帯面に段差を生じる。第5図はそ

- 4 -

の従来の問題点を示す図で、10はゲート絶縁膜、その他の記号は第4図と同一部位に同一記号が付けられているが、U溝分離帯表面が突出した $\text{Si}_3\text{N}_4$ 膜3を有する凹凸形状に形成されることを示している。

そのように、U溝分離帯面に段差が生じれば、被着膜の剥離やRIE法によるエッチングの膜残りが発生する。そうすると、半導体デバイス全面に絶縁膜や配線膜を被着してパターンニングした場合、配線の断線や短絡が起こって半導体デバイスの製造歩留は勿論、品質や信頼性をも低下させる問題が生じる。

本発明はこのような問題点を除去し、U溝分離帯面の段差を解消させることを目的としたU溝分離帯の構造と製造方法を提案するものである。

#### 【課題を解決するための手段】

その課題は、半導体素子を分離するU溝分離帯の側面および底面が絶縁膜で被覆され、内部が選

- 5 -

- 6 -

耐酸化性膜で被覆されている半導体装置によって解決される。

且つ、その製造方法は、シリコン基板を選択的にエッチングしてU溝を形成し、該U溝の側面および底面に酸化シリコン膜を生成し、更に、該酸化シリコン膜上に耐酸化性膜を被覆する工程と、次いで、前記耐酸化性膜の表面に酸化シリコン膜を被覆し、更に、埋没体を埋没させる工程と、次いで、前記埋没させたU溝分離帯上に耐酸化性膜を被覆する工程とが含まれる製造方法を提供とする。

#### 〔作用〕

即ち、本発明は、U溝分離帯の形成時に表面に $\text{Si}_3\text{N}_4$ 膜を被覆して、その $\text{Si}_3\text{N}_4$ 膜をそのまま残存させる。

そうすれば、U溝分離帯内での断線や短絡の心配がなくなって、半導体デバイスの歩留向上および高品質化、高信頼化を図ることができる。

- 7 -

ていない構造である。即ち、 $\text{Si}_3\text{N}_4$ 膜20を残存させておけば第2図のように構成して製造工程を簡便化することができる。同様に、 $\text{Si}_3\text{N}_4$ 膜20の存在によって段差の生じることがなくなる。

次に、第3図(a)～(f)は本発明にかかる形成方法の工程順序図を示しており、本例は第1図に示す構造の形成方法である。

第3図(a)参照：まず、シリコン基板1面を熱酸化して $\text{SiO}_2$ 膜22(膜厚 100～300 Å)を生成し、その上にCVD法によつて $\text{Si}_3\text{N}_4$ 膜23(膜厚 100 Å)とPSG膜25(膜厚 0.5～1 μm)を被覆し、更に、これらの膜をフォトリソセスによつてパターンニングして、選択的に $\text{SiO}_2$ 膜22を介した $\text{Si}_3\text{N}_4$ 膜23とPSG(溶シリケートガラス)膜25を露出したマスクを形成し、U溝分離帯形成領域4のみにシリコン基板1を露出させた状態にする。更に、塩素( $\text{Cl}_2$ )系ガスを反応ガスとしたRIE法によつて垂直にエッチングして、例えば、開口幅 0.5 μm、深さ 2.0 μm程度のU溝を形成する。

- 9 -

#### 〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるU溝分離帯の新断面を示しており、図中の記号1はシリコン基板、5は多結晶シリコン(埋没体)、6は $\text{SiO}_2$ 膜、12は $\text{SiO}_2$ 膜、13は $\text{Si}_3\text{N}_4$ 膜、14は $\text{SiO}_2$ 膜(CVD $\text{SiO}_2$ 膜と称す)、20は $\text{Si}_3\text{N}_4$ 膜(耐酸化性膜)である。本例のように、 $\text{Si}_3\text{N}_4$ 膜20をU溝分離帯の面上に残存させておけば、以降の工程に含まれる洗浄のクリーニング処理時にU溝分離帯の $\text{SiO}_2$ 膜6がエッチングされて面上に段差を生じることがなくなる。

なお、分離帯表面に形成した $\text{SiO}_2$ 膜6がエッチングされる恐れがなくなれば、その工程時に除去しても構わない。

また、第2図は本発明にかかる他のU溝分離帯の断面図を示しており、図中の記号は第1図と同一部位に同一記号が付けられているが、本例は多結晶シリコン5表面を熱酸化して $\text{SiO}_2$ 膜6を生成し

- 8 -

第3図(b)参照：次いで、非酸系溶剤を用いてPSG膜25をエッチング除去した後、U溝側面および底面を熱酸化して $\text{SiO}_2$ 膜12(膜厚 500 Å)を生成し、更に、U溝内部を含む基板上の全面にCVD法によつて $\text{Si}_3\text{N}_4$ 膜13(膜厚 500 Å)およびCVD $\text{SiO}_2$ 膜14(膜厚 300 Å)を被覆する。

第3図(c)参照：次いで、全面にCVD法によつて多結晶シリコン5(埋没体)を厚さ 1 μm程度に被覆して、U溝内部を埋没させる。この時、多結晶シリコン5はU溝内部だけでなく基板上面にも被覆する。なお、本図より $\text{SiO}_2$ 膜22には $\text{SiO}_2$ 膜12を含み、 $\text{Si}_3\text{N}_4$ 膜23には $\text{Si}_3\text{N}_4$ 膜13を含んで図示している。

第3図(d)参照：次いで、基板上面にも被覆した多結晶シリコン5を研磨またはエッチバックして除去する。

第3図(e)参照：次いで、多結晶シリコン5の表面を熱酸化して $\text{SiO}_2$ 膜6を生成する。このとき、 $\text{Si}_3\text{N}_4$ 膜13がマスクになってシリコン基板面は酸化されない。

- 10 -

第3図(ハ)参照；次いで、CVD法によつてSi<sub>3</sub>N<sub>4</sub>膜20(膜厚1000~2000Å；耐酸化性膜)を全面に被着する。

第3図(ニ)参照；次いで、フットプロセスによつてU溝分離帯のみ被覆するレジスト膜マスク26を形成した後、RIE法でSi<sub>3</sub>N<sub>4</sub>膜20を選択的にエッチング除去し、U溝分離帯上にもSi<sub>3</sub>N<sub>4</sub>膜20を残存させる。

第3図(ヘ)参照；更に、U溝分離帯以外の基板上に被着しているCVD SiO<sub>2</sub>膜14、Si<sub>3</sub>N<sub>4</sub>膜13およびSiO<sub>2</sub>膜12をエッチング除去すれば、本発明にかかるU溝分離帯が完成する。

上記のような本発明にかかるU溝分離帯は、分離帯上にSi<sub>3</sub>N<sub>4</sub>膜20が被着しているが、その膜厚は1000~2000Å程度と薄いため凸状は小さく、且つ、その後のウエハプロセスにおいて、表面がエッチングされないために段差が生じない効果を得られる。

なお、上記実施例は耐酸化性膜としてSi<sub>3</sub>N<sub>4</sub>膜20を使用した例であるが、その他の材料膜、削

えばCVD SiO<sub>2</sub>膜を用いることもできる。このCVD SiO<sub>2</sub>膜を用いる場合には、エッチングによる膜残りを考慮して厚く被覆しておく必要がある。

#### 【発明の効果】

以上の説明から明らかなように、本発明にかかるU溝分離帯の構造およびその形成方法によれば、U溝分離帯部分の段差が解消してICデバイスの製造歩留の向上および品質、信頼性の向上に大きな効果が得られるものである。

#### 4. 図面の簡単な説明

- 第1図は本発明にかかるU溝分離帯の断面図、  
第2図は本発明にかかる他のU溝分離帯の断面図、  
第3図(ウ)~(ハ)は本発明にかかる形成方法の工程順断面図  
第4図は従来のU溝分離帯の断面図、  
第5図は従来の問題点を示す図である。  
図において、

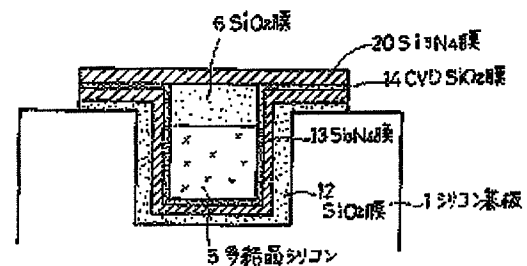
- 11 -

- 1はシリコン基板、  
2、6、12、22はSiO<sub>2</sub>膜、  
3、13、23はSi<sub>3</sub>N<sub>4</sub>膜、  
5は多結晶シリコン(埋設体)、  
10はゲート絶縁膜、  
14はCVD SiO<sub>2</sub>膜、  
20はSi<sub>3</sub>N<sub>4</sub>膜(耐酸化性膜)、  
26はレジスト膜マスク  
を示している。

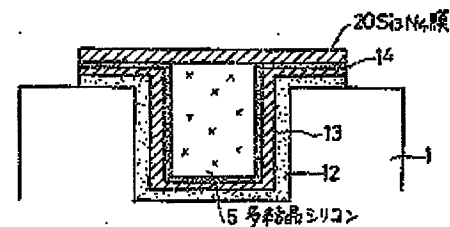
代理人 弁理士 井 裕 貞



- 12 -

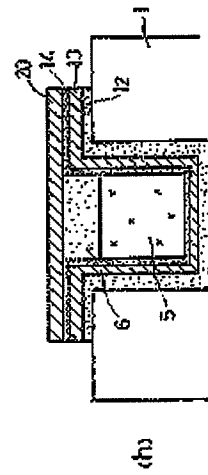
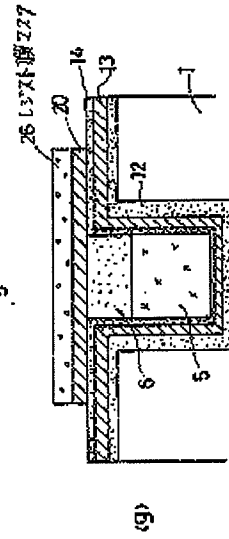
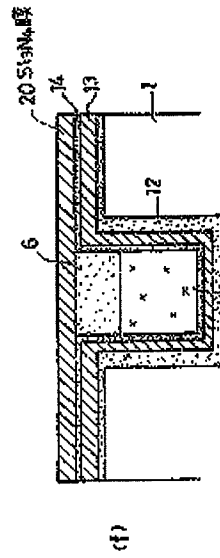
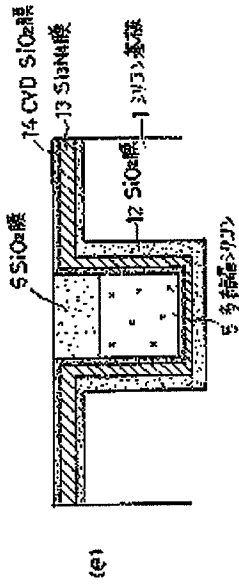


本発明にかかるU溝分離帯の断面図  
第1図

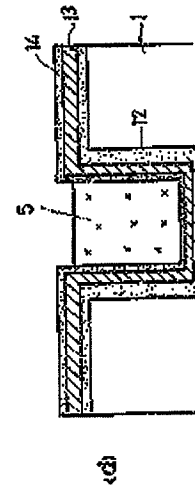
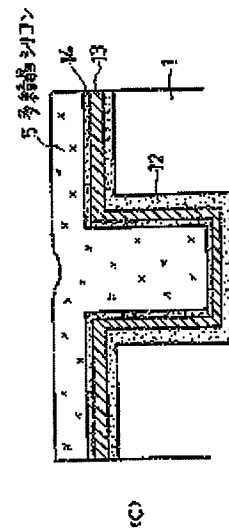
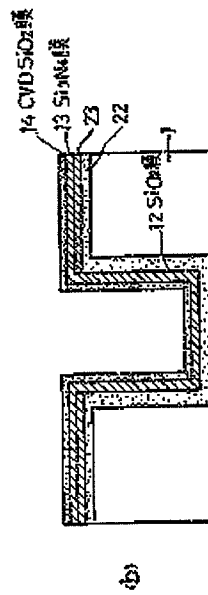
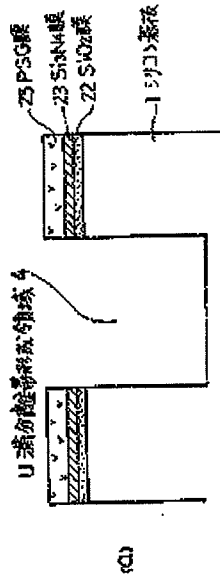


本発明にかかる他のU溝分離帯の断面図  
第2図

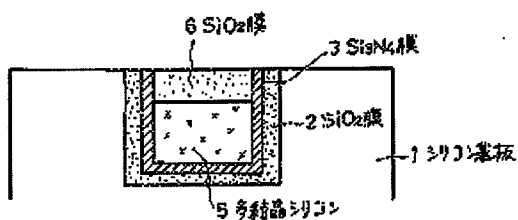
- 13 -



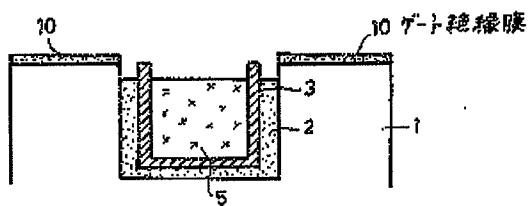
本発明に係る形成方法の工程断面図  
第 3 図 (c) (2)



本発明に係る形成方法の工程断面図  
第 3 図 (a) (1)



従来のMOS分離帯の断面図  
第 4 図



従来の問題点を示す図  
第 5 図